

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010029612 A
 (43)Date of publication of application: 06.04.2001

(21)Application number: 1020000016680
 (22)Date of filing: 30.03.2000
 (30)Priority: 31.03.1999 JP1999 93646
 (51)Int. Cl. H01L 27/04

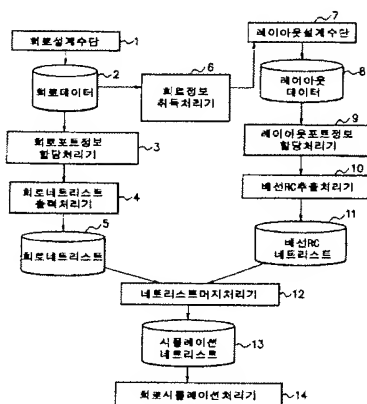
(71)Applicant: NEC CORPORATION
 (72)Inventor: INOUE SEIICHI

(54) DEVICE AND METHOD FOR CIRCUIT SIMULATION

(57) Abstract:

PURPOSE: To perform verification of reflecting wiring RC information on circuit simulation from the early stage of layout design by easily coupling a circuit net list generated from circuit data and a wiring RC net list extracted from layout data.

CONSTITUTION: A circuit information fetching processing means 6 fetches circuit information for circuit data 2 at the initial stage of layout design. A layout designing means 7 designs the layout data while using the same name as the instance name and net name of a function block in the circuit data for a cell arranged on the top hierarchy and a net connected between cells. By allocating port information composed of the instance name and the net name to the circuit data 2 and layout data 8, the same name node is outputted to a circuit net list 5 and a wiring RC net list 11, thus easily merging the wiring RC net list 11 to the circuit net list 5 and an inter-cell net.



copyright KIPO & JPO 2002

Legal Status

Date of request for an examination (20000330)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (20020128)

Patent registration number (1003353320000)

Date of registration (20020422)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

공개특허특2001-0029612

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 27/04(11) 공개번호 특2001-0029612
(43) 공개일자 2001년04월06일

(21) 출원번호 10-2000-0016680

(22) 출원일자 2000년03월30일

(30) 우선권주장 11-093646 1999년03월31일 일본(JP)

(71) 출원인 닛본 덴기 가부시끼가이샤 가네꼬 히사시
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고(72) 발명자 이노우에세이이치
일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사청구 : 있음

(54) 회로시뮬레이션장치 및 그 시뮬레이션방법

요약

회로시뮬레이션장치 및 그 시뮬레이션방법은 회로데이터로부터 생성된 회로네트리스트와 레이아웃데이터로부터 추출된 배선RC네트리스트가 용이하게 결합될 수 있게 하여, 레이아웃설계의 초기단계에서부터 배선RC정보가 회로시뮬레이션에 확실하게 반영되게 한다. 회로정보취득처리는 레이아웃설계의 초기단계에서 회로정보를 취득한다. 레이아웃설계수단은 탑재층에 위치한 셀 및 셀간에 접속된 네트를 위해서 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계한다. 이는 인스턴스명과 네트명으로 구성된 포트정보를 회로데이터와 레이아웃데이터에 할당되게 하여, 동일명의 노드가 회로네트리스트 및 배선RC네트리스트로 출력되게 한다. 이는 회로네트리스트(5)와 셀들간의 네트들에 대하여 배선RC네트리스트의 용이한 머지적용을 실현할 수 있게 한다.

대표도

도7

색인어

회로시뮬레이션, 회로네트리스트, 배선RC네트리스트

명세서

도면의 간단한 설명

- 도 1은 종래의 회로시뮬레이션장치의 처리절차를 보여주는 도면,
 도 2는 종래의 다른 회로시뮬레이션장치의 처리절차를 보여주는 도면,
 도 3은 도 2의 종래의 회로시뮬레이션장치에서 레이아웃데이터를 보여주는 도면,
 도 4는 도 2의 종래의 회로시뮬레이션장치에서 셀로부터 참조되는 하위계층의 레이아웃데이터를 보여주는 도면,
 도 5는 도 2의 종래의 회로시뮬레이션장치에서 노드정보를 할당한 후의 레이아웃데이터를 보여주는 도면,

도 6은 도 2의 종래의 회로시뮬레이션장치에서 레이아웃데이터로부터 추출된 네트리스트의 이미지를 보여주는 도면,

도 7은 본 발명의 제 1실시예에 따른 회로시뮬레이션장치의 처리절차를 보여주는 도면,

도 8은 도 7에 나타난 회로시뮬레이션장치에서 회로데이터를 보여주는 도면,

도 9는 도 7의 회로시뮬레이션장치에서 포트정보를 할당한 후의 회로데이터를 보여주는 도면,

도 10은 도 7의 회로시뮬레이션장치에서 회로데이터로부터 생성된 회로네트리스트의 이미지를 보여주는 도면,

도 11은 도 7의 회로시뮬레이션장치에서 레이아웃데이터를 보여주는 도면,

도 12는 도 7의 회로시뮬레이션장치에서 포트정보를 할당한 후의 레이아웃데이터를 보여주는 도면,

도 13은 도 7의 회로시뮬레이션장치에서 레이아웃데이터로부터 추출된 배선RC네트리스트의 이미지를 보여주는 도면, 그리고

도 14는 본 발명의 제 2실시예에 따른 회로시뮬레이션장치의 처리절차를 보여주는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 LSI(Large Scale Integrated circuit)의 설계시에, 배선RC(Resistor and Capacitor)를 추출하여 회로의 시뮬레이션을 수행하는 회로시뮬레이션장치 및 그 시뮬레이션방법에 관한 것이다.

이전에는, 배선RC추출처리를 위해 네트리스트(net list)의 노드명(node name)이 작성되었다. 회로시뮬레이션장치는 배선RC추출처리에 네트리스트의 노드명을 제어한다. 도 1에 도시된 바와 같은 LVS(Layout Versus Schematic)(Data collation of circuit and Layout)시스템을 이용하는 회로시뮬레이션장치가 잘 알려져 있다. 또한, 이러한 회로시뮬레이션장치가 일본 공개특허공보 평성 9-114871호에 개시되어 있다. 상술한 회로시뮬레이션장치는 설계가 완료된 레이아웃데이터(layout data)로부터 배선RC용량이 추출되는 것을 전제로 한다. 노드는 회로시뮬레이션시의 프루브포인트(probe point)가 된다. 회로시뮬레이션시의 프루브포인트가 되는 노드에는 인식하기 쉬운 명칭이 할당된다.

도 1은 종래의 회로시뮬레이션장치의 처리절차를 보여주는 플로우차트이다. 도 1에 나타난 회로시뮬레이션 장치는 LVS시스템을 이용하여 레이아웃데이터로부터 회로정보 및 배선RC를 추출한다. 그 회로정보는 MOS(Metal-Oxide Semiconductor) 등과 같은 소자들의 접속정보를 의미한다. 도 1에 나타난 회로시뮬레이션장치에서, 회로 설계수단(801)은 회로데이터(802)를 설계한다. 회로네트리스트출력처리(803)는 회로설계수단(801)에 의해 설계된 회로데이터(802)로부터 회로네트리스트(804)를 생성한다. 레이아웃설계수단(805)은 레이아웃설계를 설계한다. 그 레이아웃설계의 완료 후에, 회로레이아웃조사처리(807)는 레이아웃데이터(806)와 회로네트리스트(804)에 대하여 회로와 그 레이아웃간에 조사처리를 수행한다. 회로레이아웃조사처리(807)는 레이아웃데이터(806) 및 회로네트리스트(804)의 소자명과 네트명간의 대응관계를 회로/레이아웃조사결과(808)로서 출력한다. 회로추출처리(809)는 레이아웃데이터(806) 및 회로/레이아웃조사결과(808)로부터의 레이아웃에 대응하는 회로정보를 추출하여 시뮬레이션네트리스트(811)로 출력한다. 배선RC추출처리(810)는 레이아웃데이터(806) 및 회로/레이아웃조사결과(808)로부터의 레이아웃에 대응하는 배선RC정보를 추출하여 시뮬레이션네트리스트(811)로 출력한다. 이 경우에, 소자명과 네트명은 회로/레이아웃조사결과(808)에 저장되어 있는 회로네트리스트(804)에서의 명칭을 사용한다. 다음에, 회로시뮬레이션처리(812)는 시뮬레이션네트리스트(811)를 이용하여 회로시뮬레이션을 수행한다. 따라서, 도 1에 나타난 바와 같은 회로시뮬레이션장치는 레이아웃데이터로부터의 시뮬레이션을 이용하여 회로정보를 추출한다.

다음에, 일본 공개특허공보 평성 9-114871호에 개시된 회로시뮬레이션장치를 도 2 내지 도 6을 참조하여 설명한다. 도 2에 나타난 바와 같이, 회로시뮬레이션장치는 계층구조를 갖는 레이아웃데이터로부터 상위계층의 셀간 네트만의 배선RC를 추출한다. 레이아웃데이터(901)는 계층구조를 갖는다. 레이아웃데이터(901)에 대해, 상위계

총인식수단(902)은 레이아웃데이터(901)의 상위계층과 하위계층간의 접속점을 인식하여, 상위계층부분의 레이아웃데이터 및 하위계층의 배치정보를 상위계층데이터로서 저장한다. 회로인식수단(904)은 상위계층(903)으로 표현되는 회로를 인식하여 회로정보(905)로서 저장한다. 노드생성기(906)는 상위계층인식수단(902)에 의해 인식되는 상위계층과 하위계층간의 접속점에서 노드를 생성하여 노드정보(907)로서 저장한다. 기생소자추출수단(908)은 노드정보(907)를 독출한 후에 상위계층데이터(903)로부터 기생소자를 추출하여 기생소자정보로서 저장한다. 회로출력수단(910)은 회로정보(905)와 기생소자정보(909)로부터 회로를 구성하여 네트리스트(911)를 출력한다.

다음에, 도 2의 회로시뮬레이션장치의 배선RC추출처리를 도 3 내지 도 6을 참조하여 설명한다. 도 3은 탑(top)계층의 레이아웃을 보여주는 도면이다. 참조번호 1001과 1002는 셀을 나타낸다. 참조번호 1003, 1004, 1005, 1006 및 1007은 셀 1001과 1002 사이를 접속하는 배선이다. 도 4는 하위계층의 레이아웃데이터이다. 도 3에서 탑계층의 셀 1001과 1002(B1, B2)는 하위계층의 레이아웃데이터를 참조한다. 하위계층의 레이아웃데이터에는, 상위계층과의 접속점들(1101, 1102, 1103 및 1104)이 정의되어 있다.

노드정보의 부가는 데이터가 상위계층인식수단(902), 회로인식수단(904) 및 노드생성기(906)를 경유하는 방식으로 이루어진다. 그 노드정보(1201a, 1201b, 1201c, 1201d, 1202a, 1202b, 1202c 및 1202d)는 상위계층과 하위계층의 레이아웃에 따라 생성된다. 도 5에 나타난 바와 같이, 노드정보(1201a, 1201b, 1201c, 1201d, 1202a, 1202b, 1202c 및 1202d)는 레이아웃의 탑계층의 배선과 셀간 접속점에 추가된다. 그 후에, 데이터는 기생소자추출수단(911) 및 회로출력수단(910)을 지난다. 따라서, 도 6에 나타난 바와 같은 네트리스트(911)가 생성된다. 네트리스트(911)는 탑계층에 존재하는 배선의 RC네트리스트와 탑계층에 존재하는 셀에 대한 매크로소자들(1301, 1302)에 의해 구성된다. 명칭은 셀에 의해 참조되는 하위계층레이아웃데이터에 정의되어 있는 접속점명이 반영된다. 노드들(1301a, 1301b, 1301c, 1301d, 1302a, 1302b, 1302c 및 1302d)은 RC네트리스트와 매크로소자를 접속한다. 설명과 그 접속점이 반영된 명칭은 노드들(1301a, 1301b, 1301c, 1301d, 1302a, 1302b, 1302c 및 1302d)의 명칭으로 할당된다.

회로데이터로부터 생성된 회로네트리스트가 존재하는 경우에는, 회로시뮬레이션네트리스트가 생성될 수 있다. 그 회로시뮬레이션네트리스트는 배선RC정보가 추가된 것에 대한 네트리스트이다. 배선RC정보는 레이아웃데이터의 탑계층에 존재하는 셀간 네트에 관한 정보이다. 배선RC정보는 회로데이터로부터 생성된 네트리스트에 추가된다. 배선RC정보가 추가된 것에 대한 회로시뮬레이션네트리스트는 도 6에 의해 표시된 네트리스트의 매크로소자들에 추가될 회로네트리스트를 참조하는 방식으로 생성된다.

범용메모리의 설계에서, 회로블록설계는 레이아웃설계와 동시에 구현된다. 따라서, 설계의 초기단계에서 배선의 기생RC의 영향을 검증할 필요가 있다. 레이아웃의 탑계층셀의 배치와 셀내의 네트의 배선이 완료된 초기단계(셀의 하위계층의 레이아웃이 미완료된 단계)에서, 셀간 배선의 기생RC네트리스트를 추출해야 할 필요가 있다. 셀간 배선의 기생RC네트리스트를 추출할 수 있다. 설계의 초기단계에서 배선의 기생RC의 영향을 검증하기 위해서는, 레이아웃의 탑계층셀의 배치 및 셀간 네트의 배선이 완료된 단계로부터 셀간 배선의 기생RC네트리스트를 추출하여야 한다. 따라서, 회로시뮬레이션은 셀간 배선의 기생RC네트리스트를 추출하여 회로데이터로부터 생성된 네트리스트에 반영되도록 하는 것이 바람직하다. 회로데이터로부터 생성된 기능블록에 대한 네트리스트와 머지(merge)를 실현할 필요가 있다. 또한, 레이아웃데이터로부터 추출된 셀간 네트에 대한 배선RC의 네트리스트와 머지를 실현할 필요가 있다. 네트리스트들의 머지를 실현하기 위해서는, 이 네트리스트들에서 포트(네트리스트들의 연결위치가 되는 노드)의 대응을 용이하게 실현할 구조를 얻는 것이 필요하게 된다.

그러나, 도 1 및 도 2에 나타난 종래 회로시뮬레이션장치에서는, 레이아웃설계 완료 후의 레이아웃데이터를 대상으로 하고 있다. 이는 셀간 네트의 적절한 배선RC네트리스트를 생성하는데 어려운 문제점이 있다. 그 적절한 배선RC네트리스트는 탑계층의 셀의 배치 및 셀간 배선만 완료된 단계(셀이 참조하는 하위계층의 레이아웃설계에서 레이아웃설계가 미완료된 상태)에서 회로데이터로부터 생성된 회로네트리스트에 효율적으로 피드백을 수행하는 네트리스트이다. 탑계층의 셀배치 및 셀간 배선만 완료된 단계에서 회로데이터로부터 생성된 회로네트리스트로 효율적으로 피드백이 수행될 수 있는 네트리스트가, 셀간 네트의 배선RC네트리스트로 생성되어야 한다.

또한, 도 1에 나타난 종래 회로시뮬레이션장치에서, 회로시뮬레이션장치는 하위계층의 레이아웃데이터로부터 대응하는 탑계층의 셀에 대한 회로네트리스트도 추출한다. 따라서, 하위계층의 레이아웃설계가 미완료된 상태에 적용하기가 어려운 문제점이 있다.

또한, 도 2에 나타난 종래의 회로시물레이션장치에서는, 접속점만의 정보를 갖는 하위계층의 레이아웃이 별도로 준비된다. 탑재층의 노드명의 제어만을 위하여 하위계층의 레이아웃데이터를 준비하는 것은 비효율적인 문제점이 있다. 또한, 도 2에 나타난 종래의 회로시물레이션장치에서는, 생성된 네트리스트내의 전체 매크로소자들에 회로데이터로부터 참조된 네트리스트의 참조절차가 부가되는 경우에, 회로네트리스트에 정의되어 있는 포트와의 대응을 고려할 필요가 있다는 문제점이 있다.

발명이 이루고자하는 기술적 과제

상술한 문제점들을 해결하기 위한 본 발명의 목적은, 회로데이터로부터 생성된 회로네트리스트와 레이아웃데이터로부터 추출된 배선RC네트리스트가 용이하게 결합되게 하고, 레이아웃설계의 초기단계에서 배선RC정보를 회로시물레이션에 반영시킨 상태에서 검증이 수행될 수 있게 하는 회로시물레이션장치 및 그 시물레이션방법을 제공함에 있다.

본 발명의 제 1면(aspect)에 따르면, 상술한 목적을 달성하기 위하여, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단, 인스턴스명 및 네트명이 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 부가하는 회로포트정보할당처리기, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리기, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단, 회로정보취득수단의 회로정보에 따라서 탑재층의 셀명 및 네트명을 위해 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계수단, 그리고 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리기를 포함하는 회로시물레이션장치를 구비한다.

본 발명의 제 2면에 따르면, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단, 인스턴스명 및 네트명이 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 부가하는 회로포트정보할당처리기, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리기, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단, 회로정보취득수단의 회로정보에 따라서 탑재층의 셀명 및 네트명을 위해 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계수단, 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리기, 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리기, 회로네트리스트를 동일명의 노드의 위치에서 배선RC네트리스트에 결합시켜 시물레이션네트리스트를 생성하는 네트리스트머지처리기, 그리고 시물레이션네트리스트를 사용하여 회로시물레이션을 수행하는 회로시물레이션처리기를 포함하는 회로시물레이션장치를 구비한다.

본 발명의 제 3면에 따르면, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단, 레이아웃설계가 미완료의 셀에 대응하는 기능블록의 인스턴스만을 남기기 위하여 회로데이터의 탑재층에 존재하는 전기능블록의 인스턴스로부터 레이아웃설계가 완료된 셀에 대응하는 기능블록의 인스턴스를 제거하는 인스턴스선택기, 인스턴스선택기로부터의 정보에 따라 회로데이터에 인스턴스명 및 네트명이 결합되게 하는 방식으로 얻어진 명으로 포트정보를 부가하는 회로포트정보할당처리기, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리기, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단, 회로정보취득수단의 회로정보에 따라서 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명이 탑재층의 셀명 및 네트명을 위해 사용되어 레이아웃데이터를 설계하는 레이아웃설계수단, 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리기, 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리기, 설계가 완료된 셀의 하위계층의 레이아웃데이터로부터 회로정보 및 네트의 배선RC정보의 추출을 수행하여 회로배선RC네트리스트를 작성하는 하위계층회로배선RC추출처리기, 회로네트리스트를 동일명의 노드의 위치에서 배선RC네트리스트에 결합시켜 시물레이션네트리스트를 생성하는 네트리스트머지처리기, 그리고 시물레이션네트리스트를 사용하여 회로시물레이션을 수행하는 회로시물레이션처리기를 포함하는 회로시물레이션장치를 구비한다.

본 발명의 제 4면에 따르면, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되도록 하는 방식으로 얻어지는 회로데이터를 작성하는 회로설계단계, 인스턴스명 및 네트명이 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 추가하는 회로포트정보할당처리단계, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계, 회로정보취득단계의 회로정보에 따라서 탐계층의 셀명 및 네트명을 위해 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계, 그리고 레이아웃데이터의 탐계층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계를 포함하는 회로시뮬레이션방법을 구비한다.

본 발명의 제 5면에 따르면, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계단계, 인스턴스명 및 네트명이 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 추가하는 회로포트정보할당처리단계, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계, 회로정보취득단계의 회로정보에 따라서 탐계층의 셀명 및 네트명을 위해 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계, 레이아웃데이터의 탐계층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계, 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 탐계층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리단계, 회로네트리스트를 동일명의 노드의 위치에서 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리단계, 그리고 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리단계를 포함하는 회로시뮬레이션방법을 구비한다.

본 발명의 제 6면에 따르면, 기능블록의 인스턴스명 및 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계단계, 레이아웃설계가 미완료의 셀에 대응하는 기능블록의 인스턴스만을 남기기 위하여 회로데이터의 탐계층에 존재하는 전기기능블록의 인스턴스로부터 레이아웃설계가 완료된 셀에 대응하는 기능블록의 인스턴스를 제거하는 인스턴스선택단계, 인스턴스선택단계로부터의 정보에 따라 회로데이터에, 인스턴스명 및 네트명이 결합되게 하는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 회로포트정보할당처리단계, 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계, 레이아웃데이터설계의 초기단계에서 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계, 회로정보취득단계의 회로정보에 따라서 탐계층의 셀명 및 네트명을 위해 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계, 레이아웃데이터의 탐계층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계, 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 탐계층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리단계, 설계가 완료된 셀의 하위계층의 레이아웃데이터로부터 회로정보 및 네트의 배선RC정보의 추출을 수행하여 회로배선RC네트리스트를 작성하는 하위계층회로배선RC추출처리단계, 회로네트리스트를 동일명의 노드의 위치에서 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리단계, 그리고 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리단계를 포함하는 회로시뮬레이션방법을 구비한다.

발명의 구성 및 작용

이하 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명한다.

도 7에 나타낸 바와 같이, 본 발명의 제 1 실시예에 따른 회로시뮬레이션장치는 회로설계수단(1), 회로포트정보할당처리(3), 회로네트리스트출력처리(4), 회로정보취득처리(6), 레이아웃설계수단(7), 레이아웃포트정보할당처리(9), 배선RC추출처리(10), 네트리스트머지처리(12), 및 회로시뮬레이션처리(14)를 포함한다.

회로설계수단(1)은 회로데이터(2)를 작성한다. 그 회로데이터(2)는 기능블록의 인스턴스명과 기능블록에 접속되는 네트명에 소정의 명이 할당되는 데이터이다. 회로포트정보할당처리(3)는 회로데이터(2)에 포트정보를 추가한다. 그 포트정보명은 인스턴스명과 네트명이 결합되는 방식으로 형성된다. 인스턴스명과 네트명이 결합된 명칭을 갖는 포트정보는 회로포트정보할당처리(3)에 의해 회로데이터(2)에 추가된다. 회로네트리스트출력처리(4)는 회로네트리스트(5)를 출력한다. 그 회로네트리스트(5)는 회로데이터(2)에 할당된 포트정보에 대응하는

노드를 구비한다. 회로정보취득처리기(6)는 레이아웃설계수단(7)으로 공급하기 위하여 레이아웃데이터설계의 초기단계에서 회로데이터(2)로부터 회로정보를 취득한다. 레이아웃설계수단(7)은 레이아웃데이터(8)를 설계한다. 레이아웃설계수단(7)은 회로정보취득처리기(6)로부터의 회로정보에 근거하여 레이아웃데이터(8)를 설계한다. 레이아웃데이터(8)는 탑재층의 셀명 및 네트명에 회로데이터(2)의 기능블록의 인스턴스명 및 네트명과 동일한 명칭을 이용하여 설계된다. 레이아웃포트정보할당처리기(9)는 레이아웃데이터(8)의 탑재층에서 네트와 셀이 접하는 위치에 포트정보를 부가한다. 포트정보는 레이아웃데이터(8)의 탑재층에서 네트와 셀이 접하는 위치에 셀인스턴스명과 네트명의 결합된 명칭으로 부가된다. 배선RC추출처리기(10)는 레이아웃데이터(8)에 할당된 포트정보에 대응하는 노드를 갖는 탑재층의 셀간 네트의 배선RC네트리스트(11)를 추출한다. 네트리스트머지처리기(12)는 동일노드명의 위치에서 회로네트리스트(5)와 배선RC네트리스트(11)를 결합하여 시뮬레이션네트리스트(13)를 생성한다. 회로네트리스트(5) 및 배선RC네트리스트(11)는 동일명을 갖는 노드위치에서 서로 결합되어 시뮬레이션네트리스트(13)를 생성한다. 회로시뮬레이션처리기(14)는 시뮬레이션네트리스트(13)를 이용하여 회로시뮬레이션을 수행한다.

다음으로, 도 7의 회로시뮬레이션장치의 동작을 설명한다. 회로설계수단(1)은 회로데이터(2)를 생성한다. 도 8에 나타난 바와 같이, 기능블록들(201, 202)의 인스턴스명들(B1, B2)이 할당된다. 소정의 명칭들(VCC, A, B, C 및 GND)은 기능블록들(201, 202)에 접속되는 네트들(203, 204, 205, 206 및 207)에 할당된다. 회로데이터(2)는 소정의 명칭들(VCC, A, B, C 및 GND)이 기능블록들(201, 202)에 접속되는 네트들(203, 204, 205, 206 및 207)에 할당되는 방식으로 형성된다. 레이아웃설계수단(7)은 셀배치를 행한 후 각 셀간을 네트들(503, 504, 505, 506 및 507)에 의해 배선한다. 회로정보취득처리기(6)는 레이아웃설계의 초기단계에서 기능블록의 인스턴스명과 회로데이터(2)에 이용되는 기능블록 사이를 접속하는 네트의 네트명정보를 취득한다. 그 후에, 도 11에 나타난 바와 같이, 레이아웃설계수단(7)은 탑재층에서 회로데이터(2)의 기능블록들(201, 202)에 대응하는 셀들(501, 502)을 작성한다. 배치된 셀은 셀인스턴스명을 갖는다. 셀간을 접속하는 네트는 네트명을 갖는다. 그 셀인스턴스명과 네트명은 회로데이터(2)의 인스턴스명들(B1, B2)과 네트명들(VCC, A, B, C 및 GND)을 각각 이용한다. 이 시점에서, 셀이 참조하는 하위계층의 레이아웃데이터는 존재하지 않는다. 셀은 탑재층에서 레이아웃좌표와 사이즈에만 이용된다. 또한, 셀은 셀인스턴스명의 인식에만 이용된다.

회로포트정보할당처리기(3)는, 도 9에 나타난 바와 같이, 회로데이터(2)의 각 기능블록들의 핀들에 명칭을 할당한다. 명칭들(B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)은 기능블록들의 인스턴스명과 핀이 접속되는 네트명이 회로데이터(2)의 각 기능블록들의 핀들(301a, 301b, 301c, 301d, 302a, 302b, 302c 및 302d)에 결합되는 방식으로 형성된다. 회로네트리스트출력처리기(4)는 회로데이터(2)에 근거하여 회로네트리스트(5)의 출력을 수행한다. 도 10에 나타난 바와 같이, 회로네트리스트(5)는 기능블록내의 회로정보만으로 구성된다. 도 9에 나타난 인스턴스의 핀들은 포트에 인식되는 301a, 301b, 301c, 301d, 302a, 302b, 302c 및 302d이다. 그 포트들에 대응하는 노드들은 회로네트리스트출력처리기(4)에 의해 생성되는 401a, 401b, 401c, 401d, 402a, 402b, 402c 및 402d이다. 회로포트정보할당처리기(3)에 의해 할당되는 핀명들(인스턴스명과 네트명(B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)이 결합된 명칭)은, 노드들(401a, 401b, 401c, 401d, 402a, 402b, 402c 및 402d)의 노드명에 이용된다.

레이아웃포트정보할당처리기(9)는, 도 12에 나타난 바와 같이, 탑재층에서 배선과 셀이 접하는 위치에 포트정보(B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)를 할당한다. 탑재층에서 배선과 셀이 접하는 위치들은 601a, 601b, 601c, 601d, 602a, 602b, 602c 및 602d이다. 포트정보(B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)는 셀인스턴스명이 네트명과 결합되는 방식으로 형성되는 명칭을 이용하여 할당된다.

배선RC추출처리기(10)는 레이아웃데이터의 탑재층에 존재하는 셀들(B1, B2)간에 접속된 네트들(VCC, A, B, C 및 GND)에 대한 배선RC네트리스트(11)를 추출한다. 도 13에 나타난 바와 같이, 배선RC네트리스트(11)는 셀간을 접속하는 네트의 배선RC만으로 구성된다. 그 후에, 레이아웃포트정보할당처리기(9)에서 할당된 포트에 응답하여 노드들(701a, 701b, 701c, 701d, 702a, 702b, 702c 및 702d)이 생성된다. 포트명(인스턴스명과 네트명간의 결합에 의해 얻어지는 명칭; B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)은 그 자체로 이용된다.

네트리스트머지처리기(12)는 회로네트리스트와 배선RC네트리스트(11)의 머지를 수행한다. 회로데이터(2)와 레이아웃데이터(8)에서, 대응하는 인스턴스(기능블록, 셀)와 인스턴스들간에 접속되는 대응하는 네트는 각각 동일명들을 이용한다. 포트정보는 인스턴스명이 네트명과 결합된 상태의 명칭들로 부가된다. 따라서, 회로네트리스

트(5)와 배선RC네트리스트(11)는 포트정보로부터 생성되는 노드들(B1-VCC, B1_A, B1_B, B1_GND, B2_VCC, B2_B, B2_C 및 B2_GND)의 동일명을 포함한다. 네트리스트가 머지되는 경우, 회로네트리스트(5)와 배선RC네트리스트(11)가 동일명의 노드위치에서 결합되어, 시뮬레이션네트리스트(13)가 생성된다. 상술한 예로부터 밝힌 바와 같이, 네트리스트머지처리(12)에서는, 회로네트리스트(5)와 배선RC네트리스트(11)간의 대응을 전혀 고려할 필요가 없다. 네트리스트머지처리(12)는 두 개의 네트리스트들을 한 개로 결합하는 것만으로 적당하다. 회로시뮬레이션처리(14)는 레이아웃데이터로부터 추출된 기능블록간 배선의 기생RC를 회로데이터로부터 생성되는 기능블록의 네트리스트에 반영시킨 시뮬레이션을 수행할 수 있다.

다음으로, 본 발명의 제 2실시예를 도면을 참조하여 상세히 설명한다. 본 발명의 제 2실시예에서, 셀이 참조하는 하위계층에 관한 레이아웃설계가 진행되는 단계에서는, 회로데이터로부터 생성된 회로데이터는 하위계층이 미완료된 셀을 위해서만 이용된다. 한편, 하위계층셀의 레이아웃데이터로부터 추출된 회로 및 RC정보는 하위계층의 레이아웃이 완료된 셀을 위해 이용된다. 이 수행에 따라, 하위계층레이아웃설계가 진행되어 회로시뮬레이션의 정확성이 향상될 수 있다.

도 14에 나타난 바와 같이, 본 발명의 제 2실시예에 따른 회로시뮬레이션장치는, 도 7의 회로시뮬레이션장치에 인스턴스선택기(21) 및 하위계층회로배선RC추출처리(22)가 추가되는 방식으로 구현된다. 즉, 본 발명의 제 2실시예에 따른 회로시뮬레이션장치는 회로설계수단(1), 인스턴스선택기(21), 회로포트정보할당처리(3), 회로네트리스트추출처리(4), 회로정보취득처리(6), 레이아웃설계수단 (7), 레이아웃포트정보할당처리(9), 배선RC추출처리(10), 하위계층회로배선RC추출처리(22), 네트리스트머지처리(12) 및 회로시뮬레이션처리(14)를 포함한다.

회로설계수단(1)은 회로데이터(2)를 작성한다. 그 회로데이터(2)는 기능블록의 인스턴스명과 기능블록에 접속되는 네트명에 소정의 명이 할당되는 데이터이다. 인스턴스선택기(21)는 회로데이터(2)의 탑재층에 존재하는 전체 기능블록들의 인스턴스들로부터 레이아웃설계가 완료된 셀에 대응하는 기능블록의 인스턴스를 취하며, 따라서 레이아웃설계가 미완료된 셀에 대응하는 기능블록들의 인스턴스들만 남긴다. 회로포트정보할당처리(3) 및 회로네트리스트추출처리(4)는 인스턴스선택기(21)의 정보에 근거하여 회로포트정보할당처리 및 회로네트리스트추출처리를 수행한다. 따라서, 회로네트리스트(5)가 하위계층레이아웃의 작성이 미완료된 셀에 대해서 생성된다.

레이아웃데이터(8)내에는, 탑재층셀의 네트데이터 및 셀간 네트데이터에 추가로 레이아웃설계가 완료된 셀의 하위계층레이아웃데이터가 구비된다. 레이아웃포트정보할당처리(9)는 셀의 하위계층의 레이아웃데이터의 존재에 관계없이 탑재층의 전체 셀들이 셀간 네트와 접하는 위치에서 포트정보를 할당한다. 배선RC추출처리(10)는 탑재층의 전체 셀간 네트의 배선RC정보의 추출을 수행한다. 하위계층회로배선RC추출처리(22)는 셀이 존재하는 하위계층의 레이아웃데이터에 관한 회로정보(MOS(Metal Oxide Semiconductor)의 소자정보) 및 네트의 배선RC정보의 추출을 수행하여 회로배선RC네트리스트(23)를 생성한다.

탑계층의 셀간네트의 배선RC정보, 및 데이터가 존재하는 하위계층의 레이아웃에 관한 배선정보 및 배선RC정보가 회로배선RC네트리스트(23)에 구비된다. 탑재층의 셀간 네트의 RC정보, 및 셀의 하위계층의 회로정보 및 배선RC정보가 레이아웃포트정보할당처리(9)에 의해 할당된 포트정보에 따라 생성된 노드에 서로 접속되어 있다. 네트리스트머지처리(12)는 회로배선RC네트리스트(23) 및 하위계층의 레이아웃설계가 미완료된 셀의 머지를 행한다. 회로네트리스트(5) 및 회로배선RC네트리스트(23)는 회로포트정보할당처리(3) 및 레이아웃포트정보할당처리(9)에 의해 할당된 포트정보를 이용하여 생성되는 동일명의 노드위치에서 서로 결합된다.

본 발명의 제 1 및 제 2실시예에서, 회로정보취득처리(6)는 회로데이터(2)로부터 회로정보를 취득한다. 레이아웃설계수단(7)은 회로정보취득처리(6)에 의해 회로데이터(2)로부터 취득된 회로정보를 이용하여 탑재층에 형성된 셀 및 셀간에 접속된 네트명에 회로데이터(2)의 기능블록의 인스턴스명과 네트명과 동일명을 할당한다. 그러한 이유로, 셀명과 네트명은 레이아웃데이터(8)의 탑재층의 셀배치 및 셀간 네트의 배선이 완료된 시점에서 인스턴스명 및 네트명과 완전하게 일치한다.

따라서, 회로포트정보할당처리(3)는 회로데이터(2)에 기능블록의 인스턴스명을 할당한다. 회로포트정보할당처리(3)는 네트명을 이용하여 구성된 포트명도 할당한다. 레이아웃포트정보할당처리(9)는 레이아웃데이터(8)에 셀명과 네트명을 할당한다. 포트명은 그러한 셀명과 네트명을 이용하여 구성된다. 네트명을 이용하여 구성

된 기능블록의 인스턴스명과 포트명은 레이아웃포트정보할당처리(9)에서 레이아웃데이터(8)에 할당된 그 셀명과 네트명을 이용하여 구성된 포트명과 동일명이 된다. 회로네트리스트출력처리(4)는 회로데이터(2)에 할당된 포트명과 동일노드를 갖는 회로네트리스트(5)를 생성한다. 배선RC추출처리(10)는 레이아웃데이터(8)에 할당된 포트명과 동일노드를 갖는 셀간 네트에 관한 배선RC네트리스트(11)를 추출한다. 따라서, 네트리스트머지처리(12)는 회로네트리스트(5)와 배선RC네트리스트(11)에 대한 머지를 수행한다. 회로네트리스트(5)와 배선RC네트리스트(11)는 동일명을 갖는 노드위치에서 서로 결합된다.

본 발명의 제 1 및 제 2실시예에서, 회로정보는 레이아웃설계의 초기단계에서 회로데이터로부터 취득된다. 회로데이터의 기능블록의 인스턴스 및 네트와 동일명은 레이아웃데이터(8)의 탑재층에서 작성되는 셀 및 셀간에 이용된다. 인스턴스명과 네트명으로 구성된 포트정보는 회로데이터 및 레이아웃데이터로 분할된다. 그것에 의해, 동일명의 노드가 회로데이터로부터의 회로네트리스트 및 레이아웃데이터로부터 추출된 배선RC네트리스트로 출력된다. 그러한 이유로, 용이한 네트리스트의 머지를 실현할 수 있다.

또한, 상술한 본 발명의 제 1 및 제 2실시예에서, 레이아웃데이터에 할당된 포트정보는 레이아웃데이터(8)의 탑재층에 존재하는 정보(셀명, 네트명)만으로 작성된다. 탑재층의 셀배치 및 셀간 네트의 배선이 완료된 시점으로부터, 회로네트리스트로 피드백될 수 있는 상태에서 배선RC네트리스트를 추출할 수 있다. 따라서, 제 1 및 제 2 실시예들에서는, 레이아웃설계의 초기단계에서 배선RC정보를 회로시뮬레이션에 반영시켜 검증을 수행하는 것이 가능하게 된다.

본 발명의 바람직한 실시예들을 특정 용어들을 사용하여 기술하였으나, 그러한 기술은 예를 든 것일 뿐, 다음의 특허청구범위의 사상과 정신을 벗어나지 않는 범위에서 대체 및 변경이 가능한 것으로 이해되어야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 회로데이터로부터 생성된 회로네트리스트와 레이아웃데이터로부터 추출된 배선RC네트리스트를 쉽게 결합할 수 있다.

또한, 본 발명에 따르면, 레이아웃설계의 초기단계에서 배선RC정보를 회로시뮬레이션에 반영시켜 검증을 수행하는 것이 가능하다.

(57)청구의 범위

청구항1

회로시뮬레이션장치에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단;

상기 인스턴스명 및 네트명이 상기 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 부가하는 회로포트정보할당처리;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단;

상기 회로정보취득수단의 상기 회로정보에 따라서 탑재층의 셀명 및 네트명을 위해 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계수단; 그리고

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리를 포함하는 회로시뮬레이션장치.

청구항2

회로시뮬레이션장치에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단;

상기 인스턴스명 및 네트명이 상기 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 부가하는 회로포트정보할당처리;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단;

상기 회로정보취득수단의 상기 회로정보에 따라서 탑재층의 셀명 및 네트명을 위해 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계수단;

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리;

상기 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 상기 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리;

상기 회로네트리스트를 동일명의 노드의 위치에서 상기 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리; 그리고

상기 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리를 포함하는 회로시뮬레이션장치.

청구항3

회로시뮬레이션장치에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계수단;

레이아웃설계가 미완료의 셀에 대응하는 기능블록의 인스턴스만을 남기기 위하여 상기 회로데이터의 탑재층에 존재하는 전기기능블록의 인스턴스로부터 레이아웃설계가 완료된 셀에 대응하는 기능블록의 인스턴스를 제거하는 인스턴스선택;

상기 인스턴스선택기로부터의 정보에 따라 상기 회로데이터에 상기 인스턴스명 및 네트명이 결합되게 하는 방식으로 얻어진 명으로 포트정보를 부가하는 회로포트정보할당처리;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득수단;

상기 회로정보취득수단의 상기 회로정보에 따라서 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명이 탑재층의 셀명 및 네트명을 위해 사용되어 레이아웃데이터를 설계하는 레이아웃설계수단;

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 부가하는 레이아웃포트정보할당처리;

상기 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 상기 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리;

설계가 완료된 셀의 하위계층의 레이아웃데이터로부터 회로정보 및 네트의 배선RC정보의 추출을 수행하여 회로 배선RC네트리스트를 작성하는 하위계층회로배선 RC추출처리;

상기 회로네트리스트를 동일명의 노드의 위치에서 상기 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리; 그리고

상기 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리를 포함하는 회로시뮬레이션장치.

청구항4

회로시뮬레이션방법에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되도록 하는 방식으로 얻어지는

회로데이터를 작성하는 회로설계단계;

상기 인스턴스명 및 네트명이 상기 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 추가하는 회로포트정보할당처리단계;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계;

상기 회로정보취득단계의 상기 회로정보에 따라서 탑재층의 설명 및 네트명을 위해 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계; 그리고

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계를 포함하는 회로시뮬레이션방법.

청구항5

회로시뮬레이션방법에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계단계;

상기 인스턴스명 및 네트명이 상기 회로데이터에 결합되게 하는 방식으로 얻어진 명을 사용하여 포트정보를 추가하는 회로포트정보할당처리단계;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계;

상기 회로정보취득단계의 상기 회로정보에 따라서 탑재층의 설명 및 네트명을 위해 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계;

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계;

상기 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 상기 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리단계;

상기 회로네트리스트를 동일명의 노드의 위치에서 상기 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리단계; 그리고

상기 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리단계를 포함하는 회로시뮬레이션방법.

청구항6

회로시뮬레이션방법에 있어서:

기능블록의 인스턴스명 및 상기 기능블록에 접속된 네트명에 소정의 명이 할당되게 하는 방식으로 회로데이터를 작성하는 회로설계단계;

레이아웃설계가 미완료의 셀에 대응하는 기능블록의 인스턴스만을 남기기 위하여 상기 회로데이터의 탑재층에 존재하는 전기기능블록의 인스턴스로부터 레이아웃설계가 완료된 셀에 대응하는 기능블록의 인스턴스를 제거하는 인스턴스선택단계;

상기 인스턴스선택단계로부터의 정보에 따라 상기 회로데이터에, 상기 인스턴스명 및 네트명이 결합되게 하는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 회로포트정보할당처리단계;

상기 회로데이터에 할당된 포트정보에 대응하는 노드를 갖는 회로네트리스트를 출력하는 회로네트리스트출력처리단계;

레이아웃데이터설계의 초기단계에서 상기 회로데이터로부터 회로정보의 취득을 수행하는 회로정보취득단계;

상기 회로정보취득단계의 상기 회로정보에 따라서 탑재층의 설명 및 네트명을 위해 상기 회로데이터의 기능블록의 인스턴스명 및 네트명과 동일한 명을 사용하여 레이아웃데이터를 설계하는 레이아웃설계단계;

상기 레이아웃데이터의 탑재층상에서 네트가 셀과 접하는 위치에, 셀인스턴스명을 네트명과 결합시키는 방식으로 얻어진 명을 사용하여, 포트정보를 추가하는 레이아웃포트정보할당처리단계;

상기 레이아웃데이터에 할당된 포트정보에 대응하는 노드를 갖는 상기 탑재층의 셀들중에서 네트의 배선RC네트리스트를 추출하는 배선RC추출처리단계;

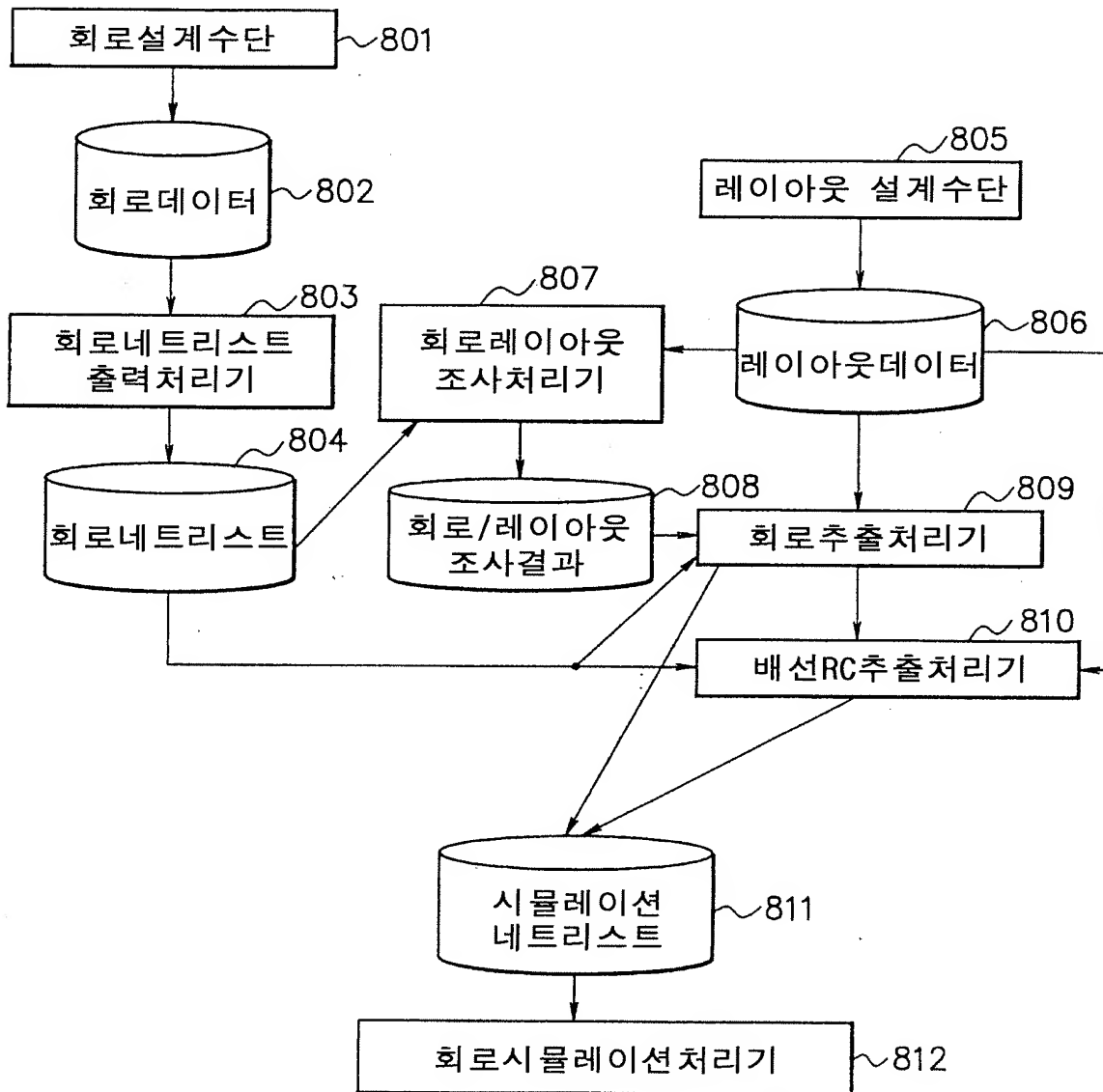
설계가 완료된 셀의 하위계층의 레이아웃데이터로부터 회로정보 및 네트의 배선RC정보의 추출을 수행하여 회로 배선RC네트리스트를 작성하는 하위계층회로배선 RC추출처리단계;

상기 회로네트리스트를 동일명의 노드의 위치에서 상기 배선RC네트리스트에 결합시켜 시뮬레이션네트리스트를 생성하는 네트리스트머지처리단계; 그리고

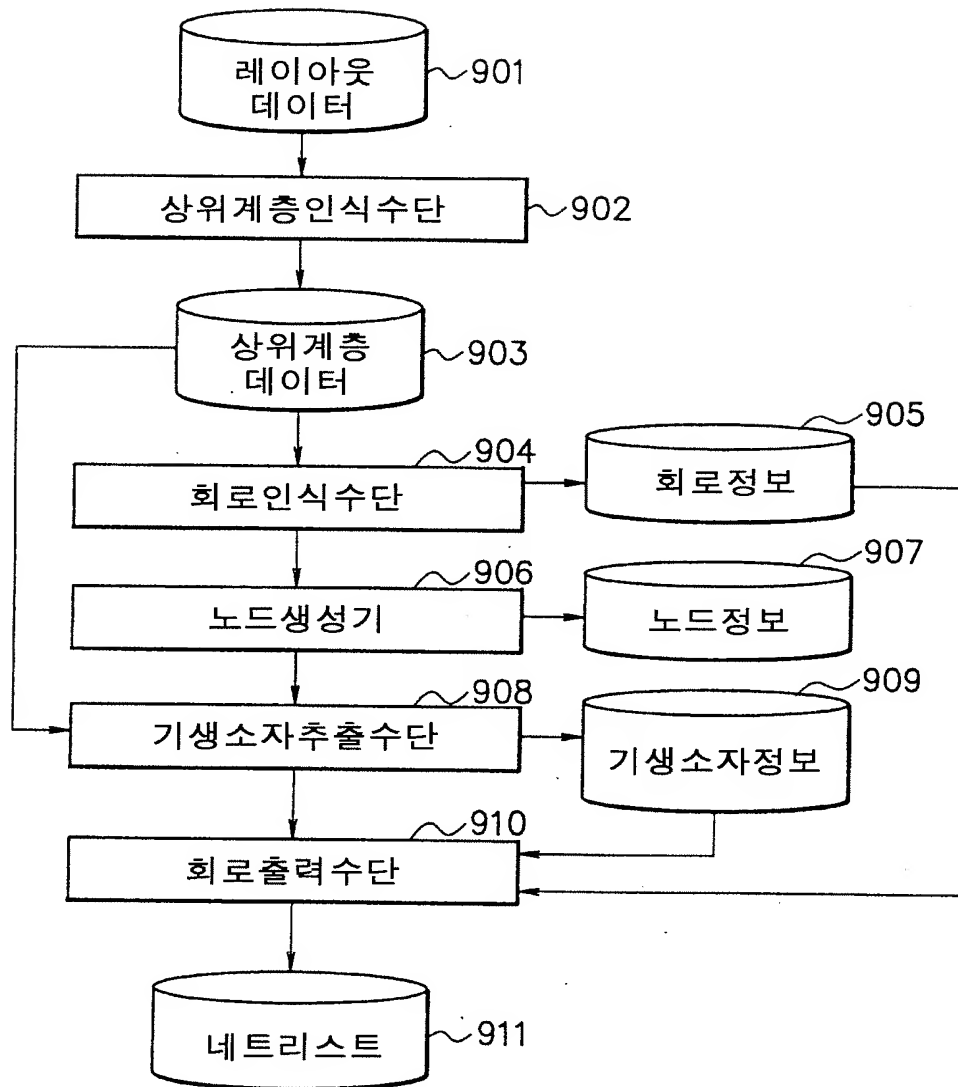
상기 시뮬레이션네트리스트를 사용하여 회로시뮬레이션을 수행하는 회로시뮬레이션처리단계를 포함하는 회로 시뮬레이션방법.

도면

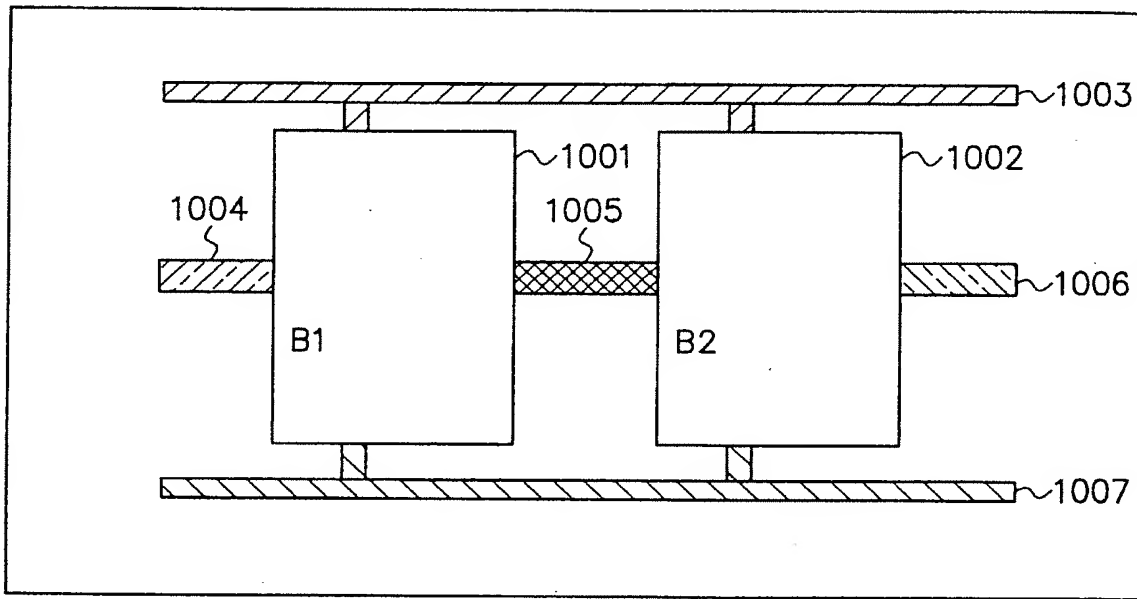
도면1



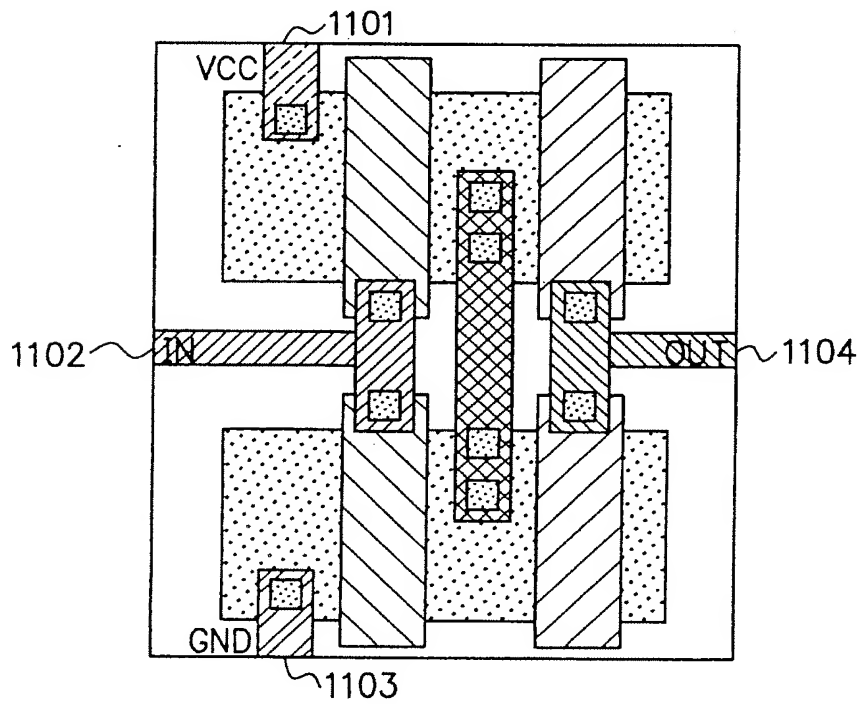
도면2



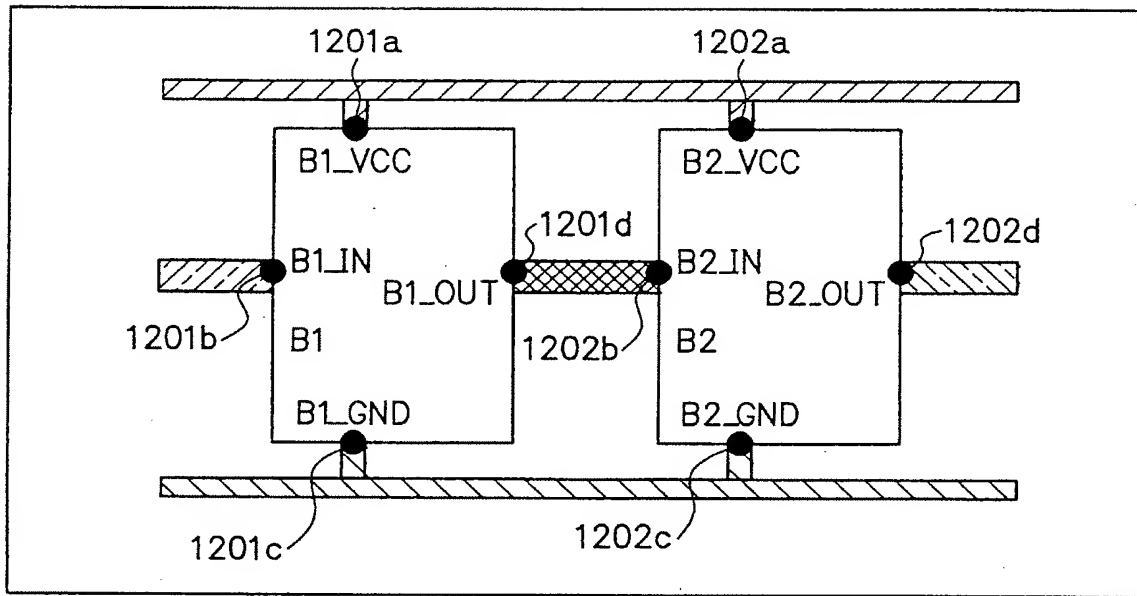
도면3



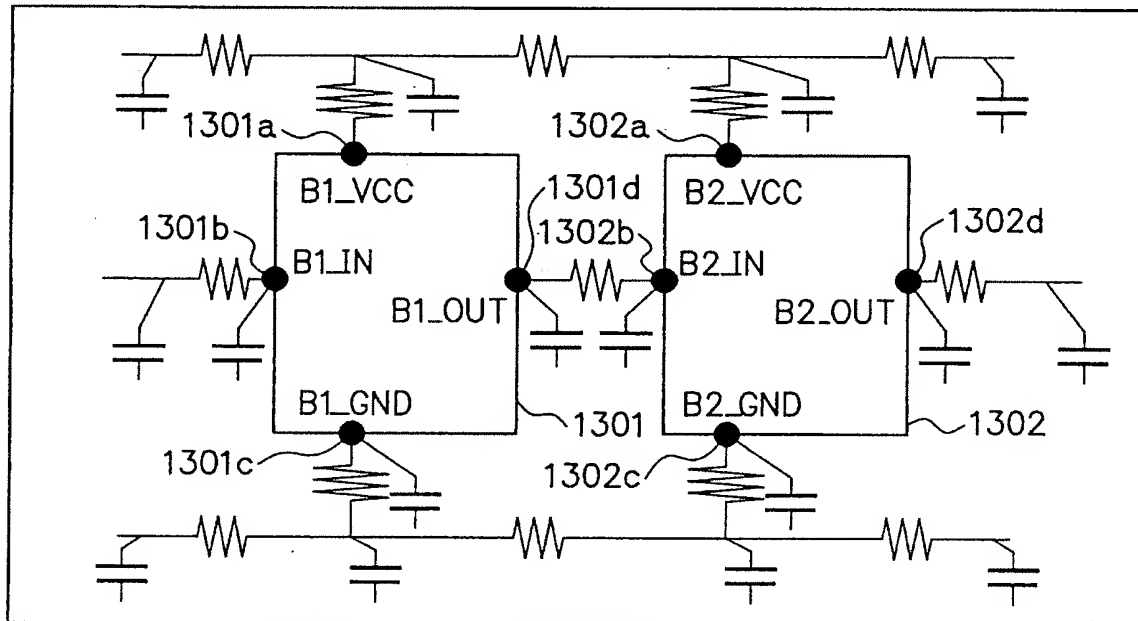
도면4



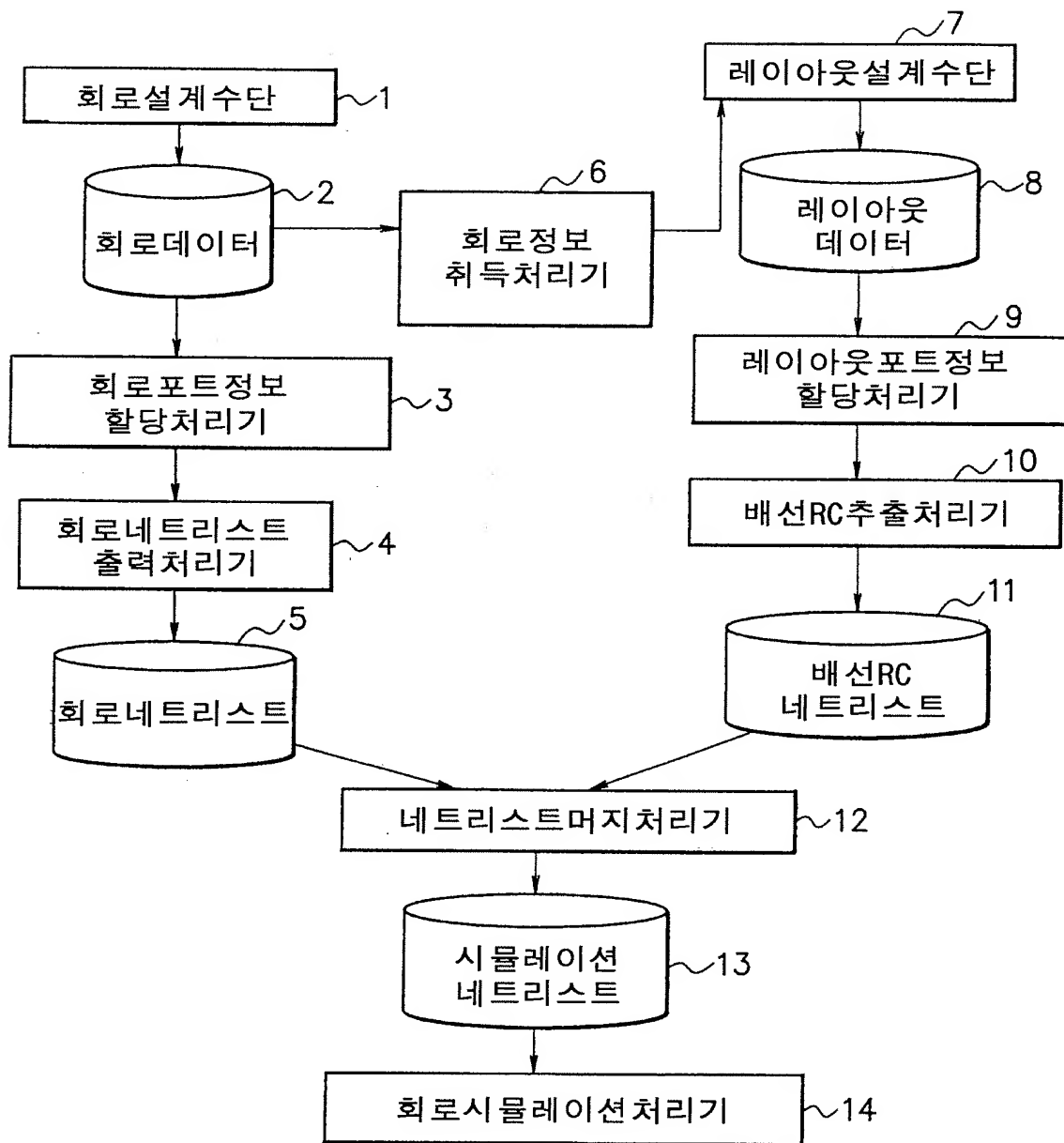
도면5



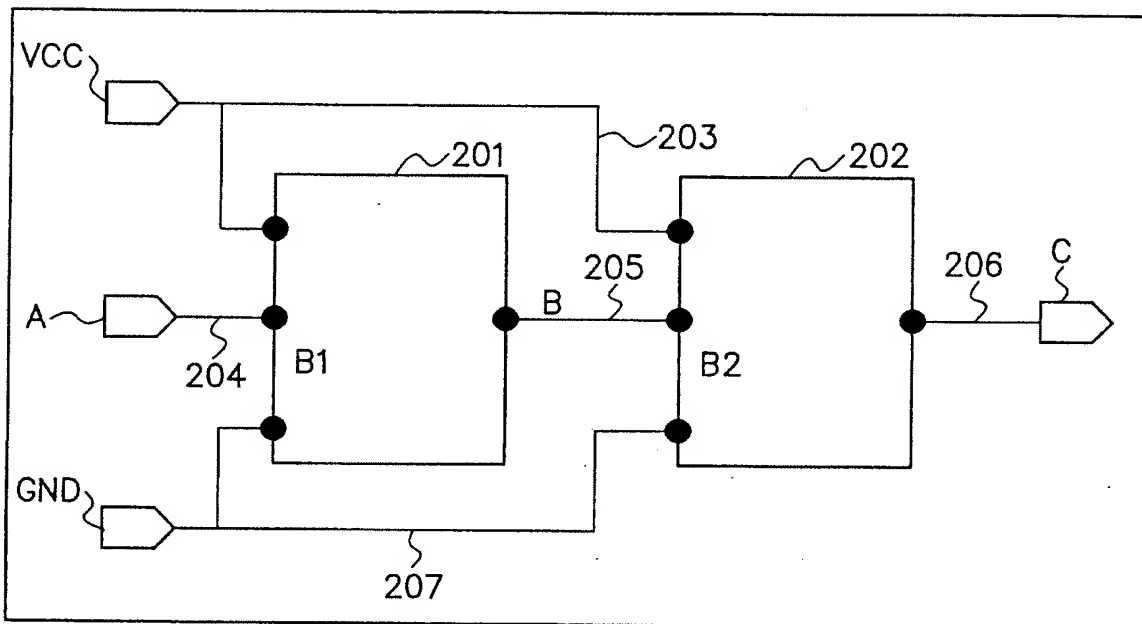
도면6



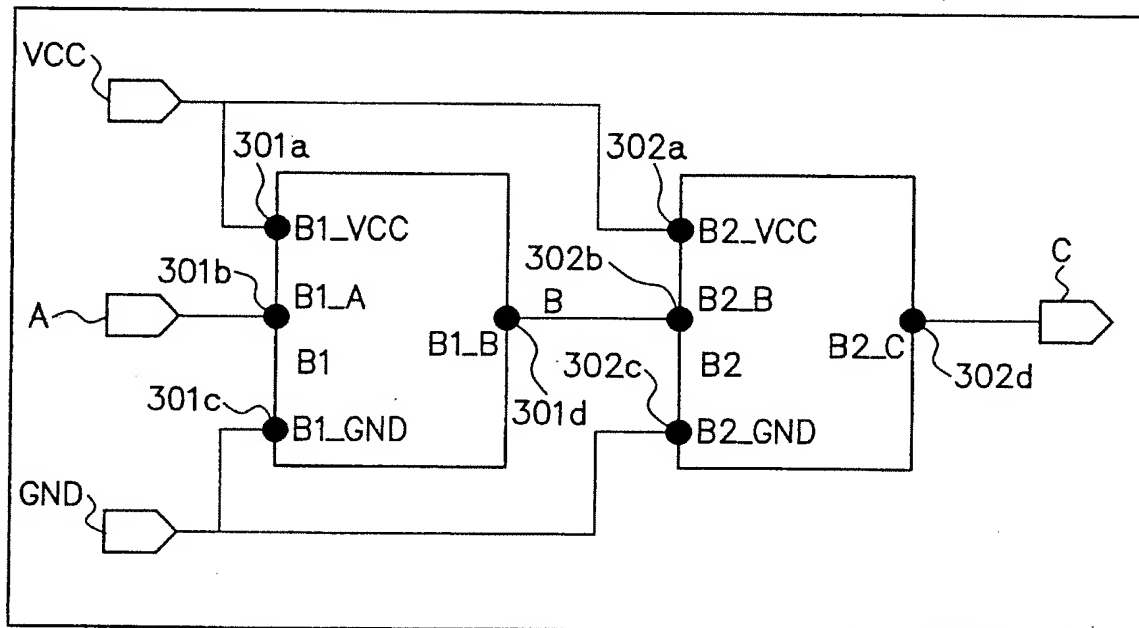
도면7



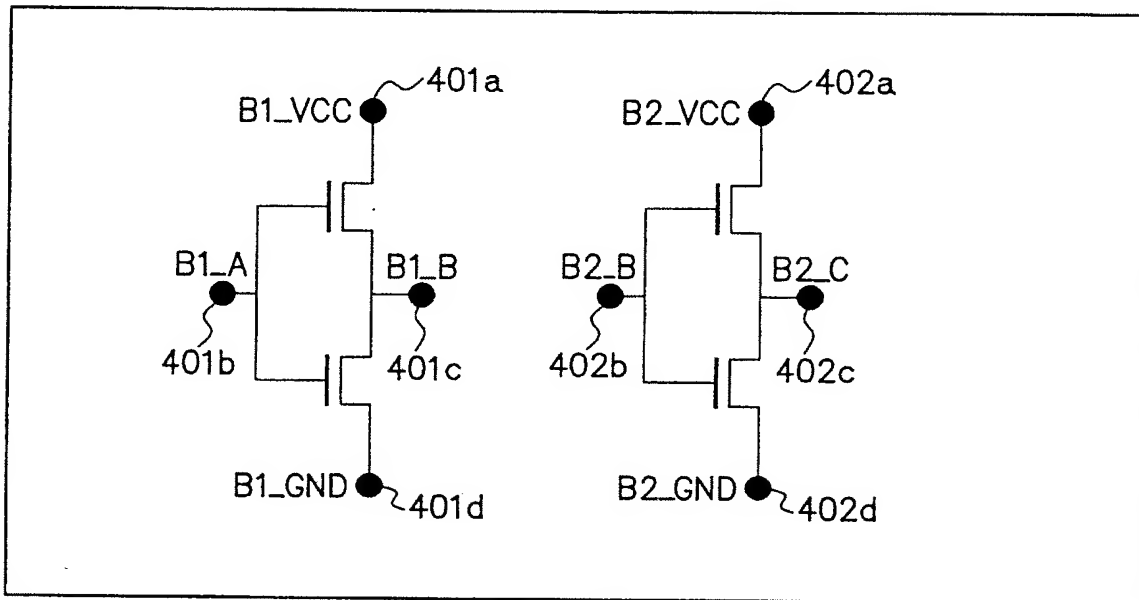
도면8



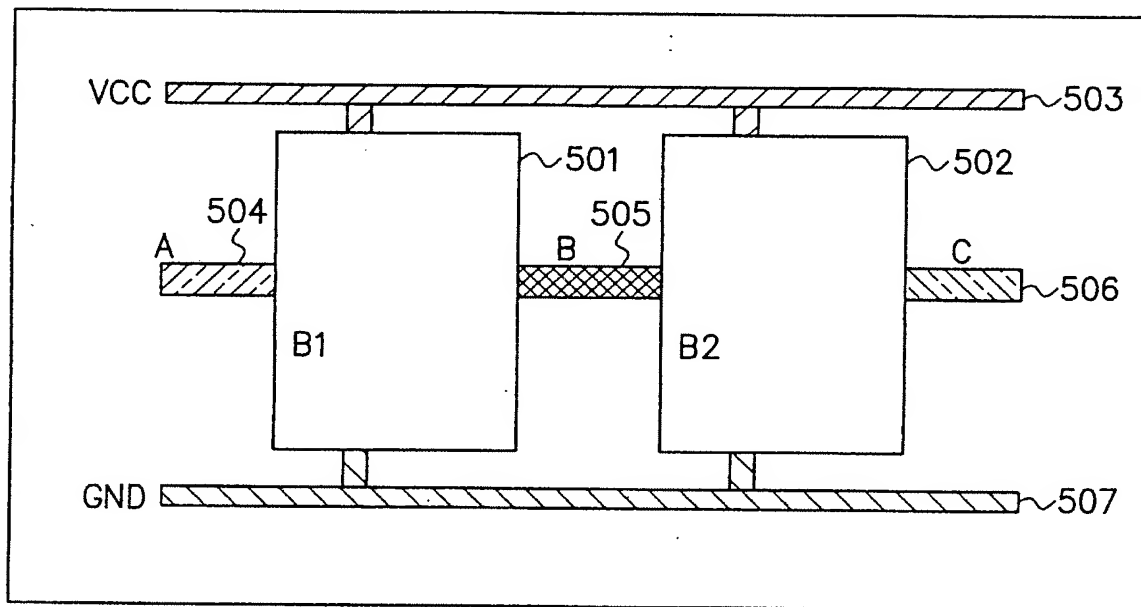
도면9



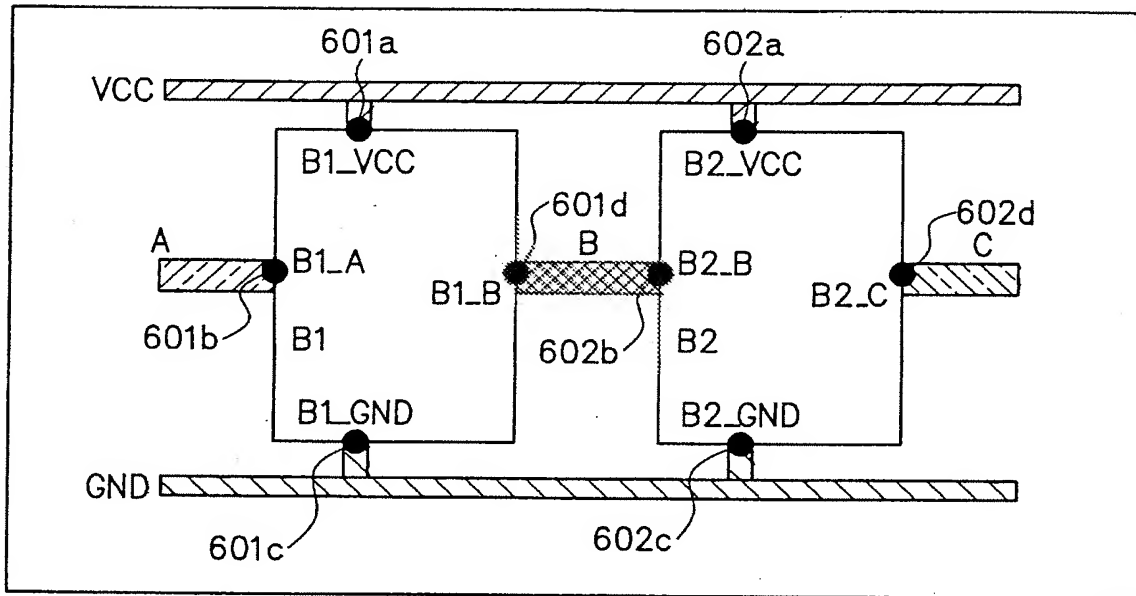
도면10



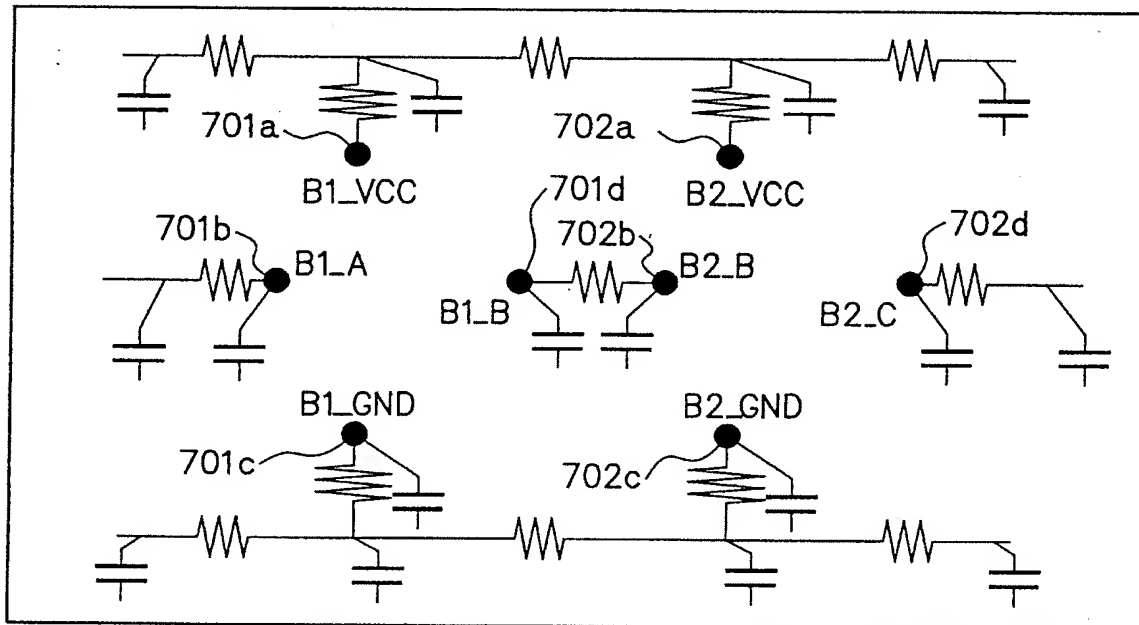
도면11



도면12



도면13



도면14

